

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : LEE  
Application No. : New Application  
Filed : March 3, 2004  
Title : STRUCTURE OF MULTI-TIER WIRE BONDING  
FOR HIGH FREQUENCY INTEGRATED CIRCUIT  
Docket No. : BHT/3111-422

**MAIL STOP NEW APPLICATION**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Sir:


Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 092119908, filed on July 22, 2003. A certified copy of this application is enclosed.

Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

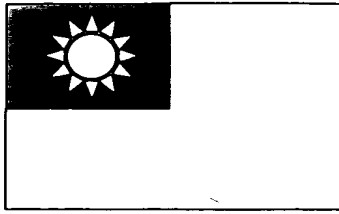
Respectfully submitted,

Date: March 3, 2004

By:

  
Bruce H. Troxell  
Reg. No. 26,592

TROXELL LAW OFFICE PLLC  
5205 Leesburg Pike, Suite 1404  
Falls Church, Virginia 22041  
Telephone: (703) 575-2711  
Telefax: (703) 575-2707



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 22 日  
Application Date

申請案號：092119908  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 26 日  
Issue Date

發文字號：09320183820  
Serial No.

申請日期：

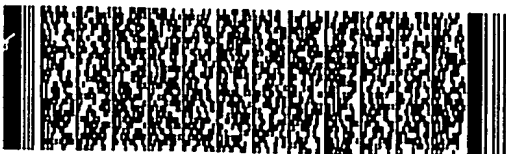
IPC分類

申請案號：

(以上各欄由本局填註)

## 發明專利說明書

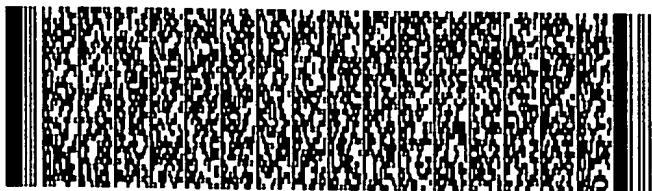
一、 發明名稱	中 文	一種高頻積體電路多排線打線結構及方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 李勝源
	姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：一種高頻積體電路多排線打線結構及方法)

一種高頻積體電路多排線打線結構，其具有第一電子元件、第二電子元件、晶片墊、多條金屬線。其中，第一電子元件以晶片墊貼於第二電子元件之上，且第一電子元件、晶片墊及第二電子元件疊合處形成一階梯狀，第一電子元件上相對於晶片墊另一測之表面周圍上設置有打線墊以及環繞此打線墊之共面打線墊，晶片墊面對且整圈裸露於第一電子元件外側之部分形成一線狀打線墊，第二電子元件面對晶片墊且整圈裸露於晶片墊外側之周圍，相對於打線墊與共面打線墊之位置上設置有多個引腳，金屬線可分為信號線及接地線，根據打線墊與共面打線墊上之位置，至少可分為第一列以及第二列，第一列接近線狀打線墊，第二列則否，信號線電性連接打線墊及引腳中與打線墊相對之其一，且第一列上之接地線電性連接線狀打線墊。

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：一種高頻積體電路多排線打線結構及方法)

五、(一)、本案代表圖為：第 圖三B 圖

(二)、本案代表圖之元件代表符號簡單說明：

300：構裝元件

310：晶片

330：晶片墊

320：基板

360：打線墊

330：線狀打線墊

341-351：金屬線

353-357：引腳

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明是有關於一種高頻積體電路打線結構及方法，特別是有關於一種高頻積體電路多排線打線結構及方法，以使電子元件間之電性連接能具有最佳之電氣特性。

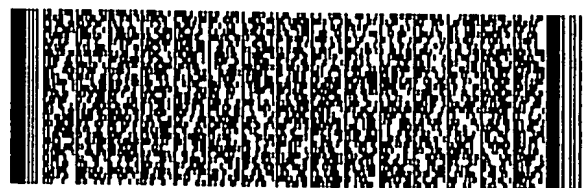
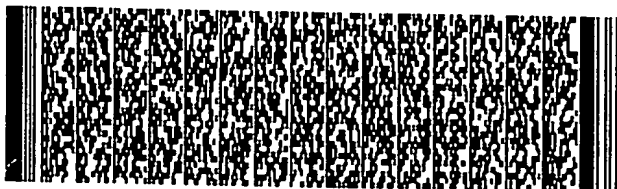
### 【先前技術】

就目前為止，由於打線接合是一種花費較便宜且堅固的電路連線方法，因此打線接合是電子產品中IC晶片與電路零件間電路連線最常被使用的一種方法。而在電子產品在其工作頻率日趨增加的情況下，打線接合所產生之寄生電感、寄生電容常會直接衝擊到IC晶片與電路間之電氣特性，不容忽視。故，如何減少這些寄生效應以避免電子產品中IC晶片與電路間電氣特性下降，是值得去注意的。

通常，IC晶片與電路零件（亦包括其他IC晶片）間之打線，並非直接打在IC晶片與電路零件的表面，而是打在IC晶片與電路零件表面上之打線墊上。藉由打線墊將IC晶片與電路零件內部之電路引出，IC晶片與電路零件間之信號傳遞即可透過打線墊與打線來完成。

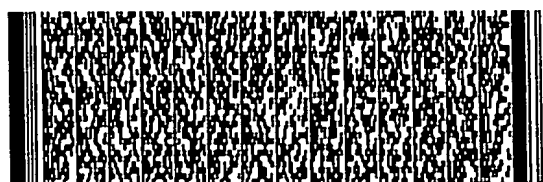
為了增加IC晶片與電路零件間之電氣特性，打線結構可以有很多變化，例如習知技術對於構裝結構下打線間寄生電感、電容的降低為採取將信號線兩旁設置有平行之接地線，且接地線共面之方式實施。

請參考圖一，圖一圖繪示的是習知降低打線寄生電感、電容之保護電路示意圖。構裝結構100中，晶片110疊



## 五、發明說明 (2)

合於晶片墊125上，晶片墊125疊合於基板120上，而晶片110與基板120上分別具有信號端打線墊190、接地端共面打線墊195與引腳160、170、180（亦可視為打線墊）。晶片110與基板120間之電性連接則藉由將金屬線140、130、150分別打線於信號端打線墊190、接地端共面打線墊195，並分別截斷於引腳170、160、180。晶片110與基板120間之信號連接，為信號從晶片110上信號端打線墊190經由金屬線140傳遞至基板120上之引腳（lead）170，以及信號接地從晶片110上接地端共面打線墊195經由金屬線130、150分別傳遞至基板120上之引腳160、180。其中，在晶片110端之信號接地金屬線130、150藉由接地端共面打線墊195共面，信號在接地端共面打線墊195與信號端打線墊190形成一迴路。且金屬線130、140、150在此線路佈局下所產生之寄生電感與僅只有單一金屬線140相比時，其寄生電感被有效地減少。而寄生電感被有效減少之原因在於，信號金屬線140旁設有兩信號接地金屬線130、150，因此熟悉此技藝者可知，信號之接地不必再透過信號金屬線140傳遞至基板120後，經由基板120內電路所連接之介層洞（via hole）連接至基板120內之接地板。而信號之接地可直接由晶片110拉出，藉由從接地端共面打線墊195經由信號接地金屬線130、150連接到基板120上直接視為接地之引腳160、180。故，信號之接地變的較短，寄生電感被有效減少，且由於接地共面打線墊端195設計所產生之迴路可幫助減少金屬線間之磁場。

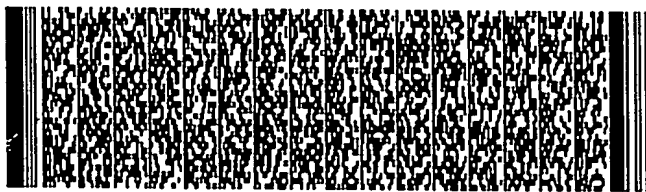




### 五、發明說明 (3)

由上述可知，在圖一中之習知打線結構卻暴露出缺點。由於引腳160-180引腳與引腳間具有相當程度間距（通常大於0.5mm），因此從晶片110端到引腳160-180端間，金屬線130-150間之間距（pitch）明顯增加。且金屬線130-150間之間距在引腳160-180端為最大，因此，在引腳160-180端之金屬線130-150距離彼此皆有一定距離。此結果造成這些金屬線130-150所形成之軌跡迴路被限制而迴路長度過大。此外，雖然習知打線結構所產生之迴授損失在工作頻率5GHz時，由於其迴路電感較小，因此習知打線結構所產生之返回損耗通常會低於15dB，仍不是很大。

為了改善打線結構迴路過大，習知技術還提供一種具有較短接地距離之打線結構。請參考圖二，圖二繪是的是習知高頻構裝元件之剖面示意圖。此構裝元件200主要包含有基板210以及晶片240。基板210上具有晶片墊（die pad）220以承載晶片240。晶片240具有打線面241，打線面241上則具有打線墊243-249。且基板210上具有引腳（lead frame）250、255。晶片240與基板210間之電性連結則依賴將金屬線273、277先分別打線於晶片240打線面241上打線墊243、249，再分別截斷於晶片墊220裸露於晶片240外之部分，以及將金屬線270、275分別打線於打線墊245、247，再分別截斷於引腳250、255來達成。由於射頻電路或高速電路對工作頻率與效能上有著極大需求的考量下，晶片240上信號之接地除了可透過金屬線270、275分別連接引腳250、255，再分別透過介層洞283、285至基



#### 五、發明說明 (4)

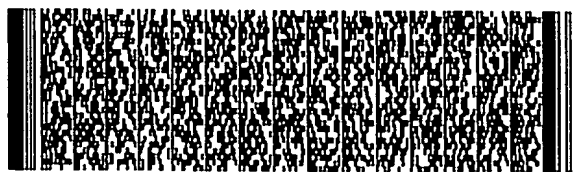
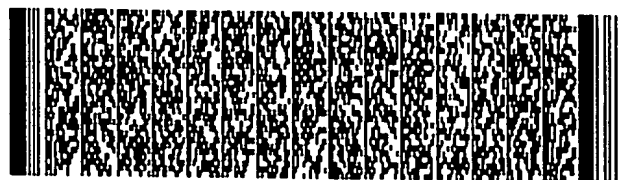
板210內之接地板280而接地。亦可透過金屬線273、277連接晶片墊裸露於晶片240外之部分，再分別透過介層洞287、289連接而直接接地。因此晶片240上信號之接地並不一定要透過金屬線270、275接地，而當透過金屬線273、277接地時，可具有較短之接地路徑。

不過，圖二雖將接地點設置於晶片墊220裸露於晶片240外之部分，可以減少接地路徑，但金屬線270-277間之順序排列之設計仍會產生較大之電磁干擾，而影響整體之電路特性。

有鑑於此，本發明提出一種高頻積體電路多排線打線結構及方法，能增加返回損耗，降低插入損耗、降低構裝對晶片所造成之阻抗不匹配效應，以提升其整體電路之高頻響應。

#### 【發明內容】

本發明提出一種高頻積體電路多排線打線結構，其具有第一電子元件、第二電子元件、晶片墊以及金屬線。其中，第一電子元件更有打線面以及相對於打線面另一側面之第一承載面。打線面周圍上具有打線墊以及圍繞此打線墊之共面打線墊。晶片墊則具有第二承載面與第三承載面。第二承載面為與第一承載面互相鄰貼，且第二承載面周圍整圈裸露且環繞於第一承載面周圍之部分為一線狀打線墊。第三承載面則位於相對於第二承載面之另一側面。而第二電子元件則更具有第四承載面以及承載面周圍

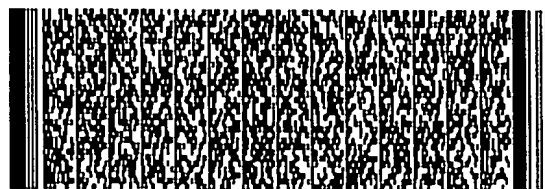
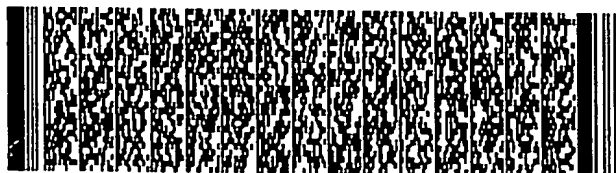


#### 五、發明說明 (5)

具有引腳。且第四承載面與第三承載面互相鄰貼，第四承載面周圍部分整圈裸露且環繞於第一承載面周圍。至於第四承載面周圍上之引腳則位在相對於打線墊及共面打線墊之位置。此外，金屬線以所傳遞之信號至少可區分為信號線以及接地線，且其中，信號線電性連接打線墊及這些引腳中與打線墊相對之其一，而這些接地線電性連接共面打線墊及與些接地線於共面打線墊上位置相對之線狀打線墊及這些引腳，且依據信號線與些接地線分別位於打線墊與共面打線墊上之位置至少可分為第一列以及第二列，第一列接近線狀打線墊，第二列則較第一列遠離線狀打線墊，且第一列上之這些接地線電性連接線狀打線墊。

本發明提出一種打線佈局方法，可適用於上述高頻積體電路多排線打線結構，此方法包括：先將信號線以正打線方式起始於上述打線墊並截斷上述引腳中與此打線墊相對之其一。再將部分接地線以正打線方式起始於上述共面打線墊上屬於第一列位置並截斷於與其位置相對之線狀打線墊。最後，將部分些接地線以正打線方式起始於此共面打線墊上屬於第二列位置並截斷於與其位置相對之引腳及線狀打線墊。

綜合上述，本發明提出一種高頻積體電路多排線打線結構及方法，藉由在信號線周圍增加接地線，且將部分接地線連接至晶片墊上，因此本發明可增加返回損耗，降低插入損耗、降低構裝對晶片所造成之阻抗不匹配效應，以提升其整體電路之高頻響應。



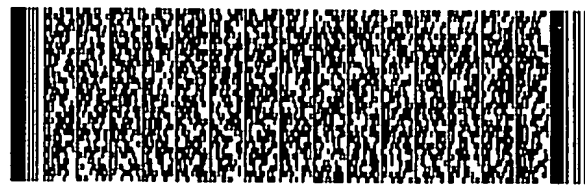
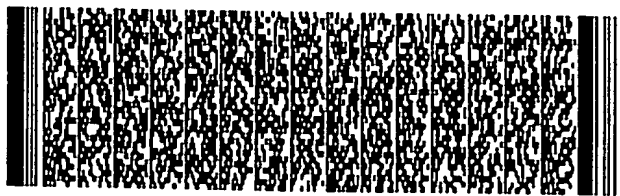
【實施方式】

為使貴審查委員能對本發明之特徵、目的及功能有更進一步的認知與瞭解，茲配合圖式詳細說明如後：

有鑑於習知打線結構會產生較大之寄生電容、電感以及較大之電磁干擾等困擾，本發明除了考慮在IC晶片上使用共面打線墊外，亦考慮將共面打線墊上之接地線打線於晶片下方之晶片墊上，以使晶片上信號接地之距離縮短。本發明更特別考慮增加共面打線墊上之接地金屬線以打線至晶片墊上，且將接地金屬線之排列分佈作更完善之規劃，以期有效降低元件間之介入損耗以及增加返回損耗，而使整體電氣特性提升。

根據上述，本發明先提出一種在晶片上具有接地端共面打線墊之高頻積體電路多排線打線結構及方法，除了將共面打線墊上之接地金屬線部分接至晶片墊、部分接至引腳外。且另外考慮增加接地金屬線之分佈。

請參考圖三A以及圖三B圖，圖三A及圖三B分別繪示的是根據本發明較佳實施例情況A之一種高頻積體電路多排線打線結構俯瞰及3D示意圖。此構裝結構300主要具有第一電子元件310（例如是晶片）、第二電子元件320（例如是基板）以及晶片墊330。其中晶片310以晶片墊330墊貼於基板320上，晶片310、晶片墊330以及基板320疊合處形成階梯的型狀（晶片310、晶片墊330以及基板320所形成之結構類似於第2圖中晶片240、環氧數酯層220以及基板



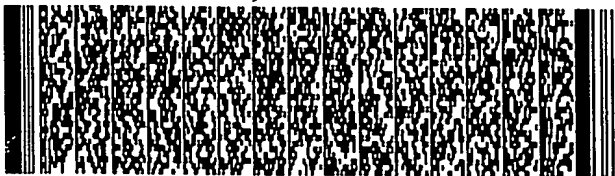
#### 五、發明說明 (7)

210 所形成之結構)，且晶片310上相對於晶片墊330另一測表面周圍上設置有打線墊360以及環繞打線墊360之共面打線墊370，晶片墊330面對且整圈裸露於晶片310外側之部分形成一線狀打線墊。同時基板320面對該晶片墊且整圈裸露於晶片墊330外側之周圍，並相對於打線墊360與共面打線墊370之位置上設置有複數引腳353、355、357。

晶片310與基板320間之訊號傳遞則藉由以複數金屬線371-383來作電性連接。其中，這些金屬線371-383依傳遞訊號之種類可區分為信號線377以及接地線371-375、379-383。且這些接地線371-375、379-383交錯設置於信號線377周圍。在此較佳實施例中，共面打線墊370為一凸字底邊中陷有一凹口之形狀，且共面打線墊370可等距區分為以下六個位置341-351，搭配打線墊360，總共形成兩列組合的打線設置位置，一列接近線狀打線墊330，另一列則較遠離線狀打線墊330。

且其中，信號線377分別電性連接打線墊360與引腳355。接地線373、375、379、381分別電性連接共面打線墊370上位置343、345、347、349以及與其位置相對之線狀打線墊330上的位置。接地線371、383則分別電性連接共面打線墊370上位置341、349以及與其位置相對之引腳353、357。

此構裝結構300中，與圖一中之習知構裝結構100相比較，增加了4條交錯排列之接地線343-349在信號線377周圍。此4條增加且交錯排列之接地線343-349被配置於信號

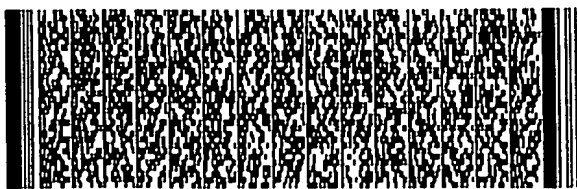
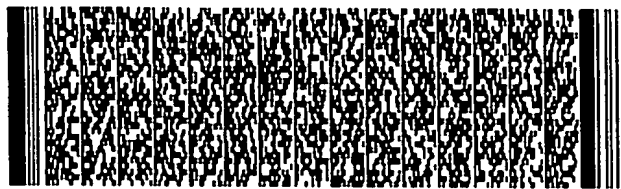


#### 五、發明說明 (8)

線附近，且此4條接地線343-34之另一端連接至線狀打線墊上，同時，這些接地線線343-34之另一端盡可能被配置在線狀打線墊330的邊緣。因此，此構裝結構300中，信號迴路之路徑長度被縮短，而信號線377與接地線371-375、379-383間所產生之寄生之迴路電感減少。又此構裝結構300中在晶片310上方的信號軌跡可以直接連接線狀打線墊330。因此，信號線377與接地線371-375、379-383間所之寄生電容可在信號軌跡與線狀打線墊330間被耦合，而被縮小。

為了使接地金屬線之排列分佈作更完善之規劃，本發明考慮將接地金屬線以交錯方式排列。因此，本發明另提出一較佳實施例，請參考圖四A以及圖四B，圖四A及圖四B所繪示的是根據本發明較佳實施例情況B之一種高頻積體電路多排線打線結構俯瞰及3D示意圖。此構裝結構400主要具有晶片410、基板420以及晶片墊430。其中晶片410亦以晶片墊430墊貼於基板420上，且晶片410、晶片墊430以及基板420疊合處亦形成階梯的型狀，且晶片410上相對於晶片墊430另一測表面周圍上設置亦有打線墊460以及環繞打線墊460之共面打線墊470，同時晶片墊430面對且整圈裸露於晶片410外側之部分形成一線狀打線墊。且同時基板420面對晶片墊430且整圈裸露於晶片墊430外側之周圍，並相對於打線墊460與共面打線墊470之位置上設置有複數引腳453、455、457。

晶片410與基板420間之訊號傳遞則藉由以金屬線471-



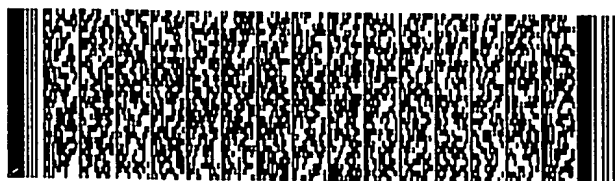
#### 五、發明說明 (9)

483 來作電性連接。其中，金屬線371-383中，金屬線477為信號線，金屬線371-375、379-383為接地線。且這些接地線471-475、479-483設置於信號線477周圍。在此較佳實施例中，共面打線墊470為一凹字形狀，且共面打線墊370可等距區分為以下六個位置441-451，搭配打線墊460，亦總共形成兩列組合的打線設置位置，一列接近線狀打線墊330，另一列則較遠離線狀打線墊330。

且其中，信號線477分別電性連接打線墊460與引腳455。接地線473、475、479、481分別電性連接共面打線墊470上位置443、445、447、449以及與其位置相對之線狀打線墊430上的位置。接地線473、475、479、481除了與信號線447間呈現交錯排列外，接地線473、475間亦呈現十字交叉排列，接地線479、481間亦是。接地線471、483則分別電性連接共面打線墊370上位置441、449以及與其位置相對之引腳453、457。

此構裝結構400中，晶片310使用2條交錯接地線471、483分別電性連接引腳453、457，且使用4條十字交錯接地線473、475、479、481至晶片墊的打線結構。

與情況A相比，由於情況B中信號線起始端由遠離線狀打線墊之第二列中心位置搬移到較靠近線狀打線墊之第一列中心位置，信號線之長度更加縮短，因此更可以減少迴路間之寄生電感。而信號線周圍同樣有4條較習知技術增加之交錯接地線圍繞，且此4條增加之接地線亦提供較小的信號迴路路徑。

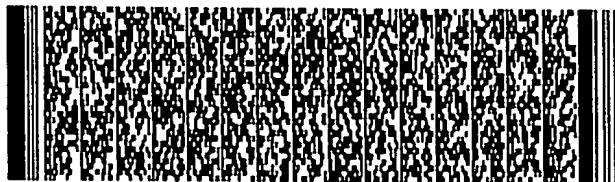


## 五、發明說明 (10)

類似圖四構想，本發明另又提出一較佳實施例，請參考圖五A以及圖五B，圖五A及圖五B所繪示的是根據本發明較佳實施例情況C之一種高頻積體電路多排線打線結構俯瞰及3D示意圖。構裝結構500與情況B中之構裝結構400類似。構裝結構500具有晶片410、基板520以及晶片墊30。其中晶片510亦以晶片墊530墊貼於基板520上，且晶片510、晶片墊530以及基板520疊合處亦形成階梯的型狀，且晶片510上相對於晶片墊530另一測表面周圍上設置亦有打線墊560以及環繞打線墊560之共面打線墊570，同時晶片墊530面對且整圈裸露於晶片510外側之部分形成一線狀打線墊。且同時基板520面對晶片墊430且整圈裸露於晶片墊530外側之周圍，並相對於打線墊460與共面打線墊570之位置上設置有複數引腳553、555、557。

晶片510與基板520間之訊號傳遞則僅藉由以金屬線573-581來作電性連接。其中，金屬線573-581中，金屬線577為信號線，金屬線573、575、579、581為接地線。且這些接地線573、575、579、設置於信號線577周圍。在此較佳實施例中，共面打線墊570與情況B中之共面打線墊470相同為一凹字形狀，共面打線墊570可等距區分為以下四個位置543-549，搭配打線墊560，亦還是形成兩列組合的打線設置位置，一列接近線狀打線墊530，另一列則較遠離線狀打線墊530。

且其中，信號線577分別電性連接打線墊560與引腳555。接地線573、581分別電性連接共面打線墊570上位置





##### 五、發明說明 (11)

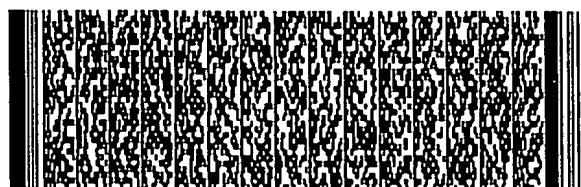
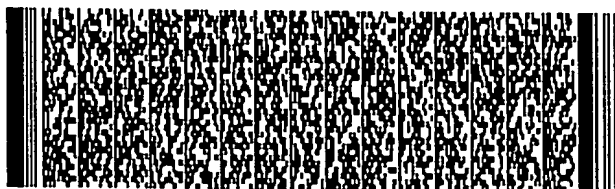
543、549 以及與其位置相對之線狀打線墊430上的位置。接地線575、579分別電性連接與其位置相對之引腳553、557。

構裝結構500是由情況B所衍生，其中共面打線墊570凹字形底邊接近凹口兩側位置之接地線被移除，只留下共面打線墊570凹字形底邊接近凹口中心位置545、547上設置有接地線，且與情況B想比，位置545、547上之接地線575、579改為分別打線至引腳553、557。

由於情況C此構裝結構500所需打線數較少，因此結構之耗費較情況A與B來得低，且此結構之優點也較情況A與B來得大。但此構裝結構500之電氣特性卻沒因此下降太多，其原因在於連接至引腳553-557以及晶片墊530之接地線573、575、579、581仍圍繞在信號線577周圍。

在本發明所有較佳實施例情況中，藉由增加地線連接至晶片墊以明顯減少全部之電感，輕微增加全部之電容。因此，本發明之返回損耗皆優於習知技術。尤以情況B與C，全部的電感被減少且阻抗匹配情況較情況A來得好。其原因在於在信號線周圍適當設有接地線。也因此，在本發明三種情況之較佳實施例中，由於接地線環繞信號線而提供了屏閉，亦可導致其磁場干擾較低。

由實驗數據可更清楚得知本發明較佳實施例與習知技術在功效上之差異。在晶片與基板間，以上述用金屬線連接打線墊、共面打線墊與晶片墊、引腳之結構中（即第1、3、4、5圖中之構裝結構），可將金屬線間之迴路以一

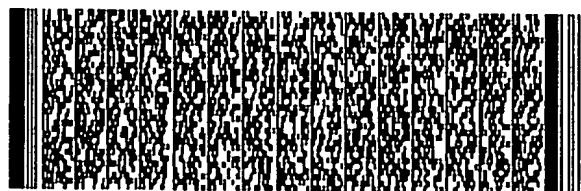
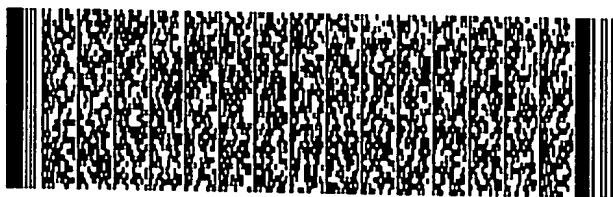


## 五、發明說明 (12)

等效電路圖來表示，請參考圖六。圖六繪示的是構裝結構打線間之一等效電路圖。

藉由將圖六中，各電感、電容以及電阻量化，可清楚得知其優劣所在。請參考表一，表一為列出各情況下，圖6等效電路中各電感、電容以及電阻之等效值。從表一中可知習知具有最大電感值以及最小電容值，因此熟悉此技藝者可知，習知之阻抗匹配情況最糟。表一中，可明顯觀察出本發明較佳實施例情況A、B、C中，所有之等效電感明顯地下降，所有之等效電容輕微增加。因此返回損耗皆較習知來得好。尤其是情況C與D，與情況B相比，除了等效電感明顯下降外，阻抗匹配性再次提升。

請參考表二，表二繪示的是習知技術與本發明較佳實施例在不同工作頻率下之返回損耗與介入損耗。熟悉此技藝者由表二可得知，習知技術僅在2.5GHz的工作頻率下，其返回損耗與介入損耗表現還算正常。但習知工作頻率超過2.5GHz時，則出現返回損耗過小、介入損耗過大之情況。而本發明較佳實施例之各情況中，返回損耗與介入損耗值表現正常之工作頻率可延伸至5GHz甚至5GHz以上（返回損耗要小於-15dB才算夠大）。情況B與C之返回損耗與介入損耗值表現正常之工作頻率更可延伸至10GHz（返回損耗要小於-15dB，介入損耗要大於-0.3dB才夠），而習知技術之返回損耗及介入損耗則分別約為-7dB與-1.2dB左右。相較之下，情況C與D在返回損耗與介入損耗方面比習知分別改善了10dB與1dB。表二所對照之曲線圖繪示在圖



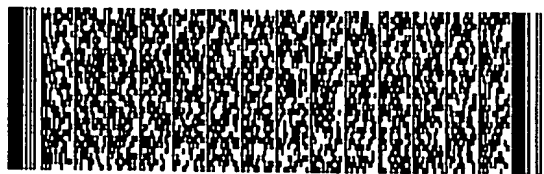
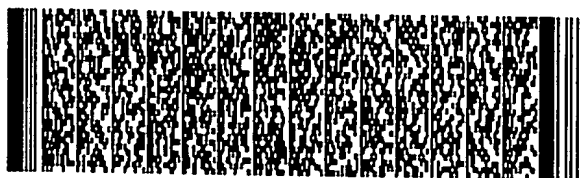
## 五、發明說明 (13)

七A及圖七B。第七A圖繪示的是返回損耗-工作頻率之曲線圖。圖七B繪示的是介入損耗-工作頻率之曲線圖。圖7A中，可清楚瞭解本發明較佳實施例情況A、B、C其返回損耗皆較習知來得大。第7B圖中，情況A、B、C其介入損耗明顯較習知來得小，且工作頻率越大差距越明顯。

最後，本發明較佳實施例除了在返回損耗、介入損耗及阻抗匹配性較習知優化，更在金屬打線間能具有較低之磁場干擾。請同時參考圖八A、八B、八C及八D，其分別繪示的是習知與本發明較佳實施例情況A、B、C金屬線間之磁力場分佈圖。由圖八A、八B、八C及八D中可知，本發明較佳實施例情況A、B、C金屬線間之磁力場分佈面積明顯較習知來得小，因此，本發明的確具有較習知技術具有較小之磁力干擾。

綜合上述，本發明接由在信號線間增加設置接地線，以交錯排列方式佈局，因此具有返回損耗、介入損耗及阻抗匹配性較習知優化，且具有較小之磁力干擾。

唯以上所述者，僅為本發明之較佳實施例，當不能以之限制本發明的範圍。即大凡依本發明申請專利範圍所做之均等變化及修飾，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍，故都應視為本發明的進一步實施狀況。



## 圖式簡單說明

### 【圖式簡單說明】

圖一繪示的是習知降低打線寄生電感、電容之保護電路示意圖；

圖二繪示的是習知高頻構裝元件之剖面示意圖；

圖三A及圖三B分別繪示的是根據本發明較佳實施例情況A之一種高頻積體電路多排線打線結構俯瞰及3D示意圖；

圖四A及圖四B分別繪示的是根據本發明較佳實施例情況B之一種高頻積體電路多排線打線結構俯瞰及3D示意圖；

圖五A及圖五B分別繪示的是根據本發明較佳實施例情況C之一種高頻積體電路多排線打線結構俯瞰及3D示意圖；

圖六繪示的是構裝結構打線間之一等效電路圖；

圖七A及圖七B圖分別繪示的是返回損耗-工作頻率及介入損耗之曲線圖；以及

圖八A、八B、八C及八D圖分別繪示的是習知與本發明較佳實施例情況A、B、C金屬線間之磁力場分佈圖。

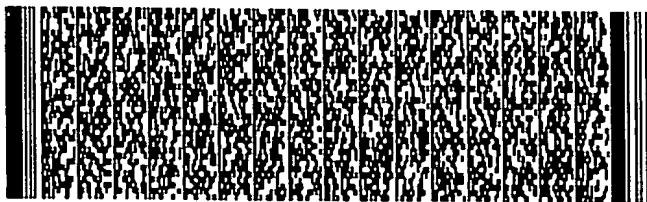
### 圖號說明：

100、200、300、400、500：構裝元件

110、240、310、410、510：晶片

125、220、330、430、530：晶片墊

120、210、320、420、520、820：基板



圖式簡單說明

190、243-249、360、460、560：打線墊

220、330、430、530：線狀打線墊

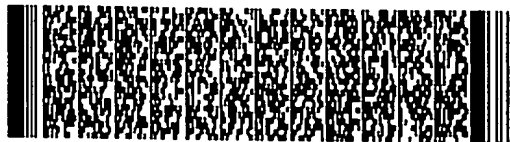
130、140、150、270、273、275、277、341-351、441-

451、543-549：金屬線

160、170、180、225、250、353-357、453-457、553-

557：引腳

220：環氧樹脂層



## 六、申請專利範圍

1. 一種高頻積體電路多排線打線結構，包括有：

— 第一電子元件，更包括有：

— 打線面；

— 第一承載面，相對於該打線面之另一側表面；

— 打線墊，位於該打線面上周圍；

— 共面打線墊，位於該打線面上且環繞於該打線墊；

— 第二電子元件，更包括：

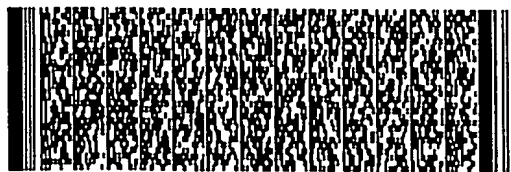
— 第二承載面，與該第一承載面互相鄰貼，且該第二承載面周圍部分，整圈裸露且環繞於該第一承載面周圍；

複數引腳，位於該第四承載面周圍且相對於該打線墊及該共面打線墊；以及

複數金屬線，以所傳遞之信號至少可區分為一信號線以及複數接地線；

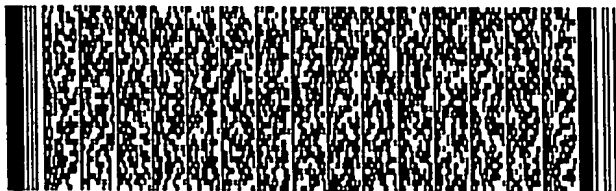
其中，該信號線一端電性連接該打線墊，該信號線另一端則電性連接該些引腳中與該打線墊相對之其一，而該些接地線一端電性連接該共面打線墊，且相對於該些接地線一端，該些接地線另一端則電性連接該第二承載面緊繞第一承載面之一線狀區域與該些引腳。

2. 如申請專利範圍第1項所述之高頻積體電路多排線打線結構，其中依據該信號線與該些接地線分別位於該打線墊與該共面打線墊上之位置至少可分為一第一列以及一第二列，該第一列接近該線狀，該第二列則較第一列遠離該線狀。



#### 六、申請專利範圍

3. 如申請專利範圍第2項所述之高頻積體電路多排線打線結構，其中該第一列上之該些接地線電性連接該線狀區域。
4. 如申請專利範圍第1項所述之高頻積體電路多排線打線結構，其中該信號線與該些接地線為交錯排列。
5. 如申請專利範圍第1項所述之高頻積體電路多排線打線結構，其中該共面打線墊為一凸字底邊中陷有一凹口之形狀，且該凹口背對於該線狀打線墊，且該凹口環繞該打線墊。
6. 如申請專利範圍第5項所述之高頻積體電路多排線打線結構，其中該共面打線墊凸起區域等距設置有兩接地線。
7. 如申請專利範圍第6項所述之高頻積體電路多排線打線結構，其中該共面打線墊凸起區域之兩接地線電性連接與其位置相對之該線狀打線墊。
8. 如申請專利範圍第7項所述之高頻積體電路多排線打線結構，其中該凹口兩側分別等距設置有兩接地線，共四接地線。
9. 如申請專利範圍第8項所述之高頻積體電路多排線打線結構，其中該該凹口兩側且接近該凹口中心之兩接地線電性連接與其位置相對之該線狀打線墊。
10. 如申請專利範圍第9項所述之高頻積體電路多排線打線結構，其中該凹口兩側之另兩接地線電性連接與其位置相對之該些引腳。



## 六、申請專利範圍

11. 如申請專利範圍第1項所述之高頻積體電路多排線打線結構，其中該共面打線墊具有一凹口且該凹口面對該些引腳。
12. 如申請專利範圍第11項所述之高頻積體電路多排線打線結構，其中該凹口兩側分別設置有一接地線，共兩接地線。
13. 如申請專利範圍第12項所述之高頻積體電路多排線打線結構，其中該凹口兩側之兩接地線電性連接與其位置相對之該線狀打線墊。
14. 如申請專利範圍第13項所述之高頻積體電路多排線打線結構，其中該凹口底邊等距設置有四接地線。
15. 如申請專利範圍第14項所述之高頻積體電路多排線打線結構，其中該凹口底邊接近凹口中心之兩接地線電性連接與其位置相對之該線狀打線墊。
16. 如申請專利範圍第15項所述之高頻積體電路多排線打線結構，其中該凹口底邊接近凹口兩側之兩接地線電性連接與其位置相對之該些引腳。
17. 如申請專利範圍第15項所述之高頻積體電路多排線打線結構，其中該信號線與該接地線為相互交錯排列。
18. 如申請專利範圍第12項所述之高頻積體電路多排線打線結構，其中該凹口底邊以凹口中心為準等距設置有兩接地線。
19. 如申請專利範圍第18項所述之高頻積體電路多排線打線結構，其中該凹口底邊之兩接地線電性連接與其位





## 六、申請專利範圍

置相對之該些引腳。

20. 一種高頻積體電路多排線打線結構，包括有：

一第一電子元件，更包括有：

一打線面；

一第一承載面，相對於該打線面之另一側表面；

一打線墊，位於該打線面上周圍；

一共面打線墊，位於該打線面上且環繞於該打線墊；

一晶片墊，更包括有：

一第二承載面，與該第一承載面互相鄰貼，且該第二承載面周圍整圈裸露且環繞於該第一承載面周圍之部分為一線狀打線墊；

一第三承載面，相對於該第二承載面之另一側面；

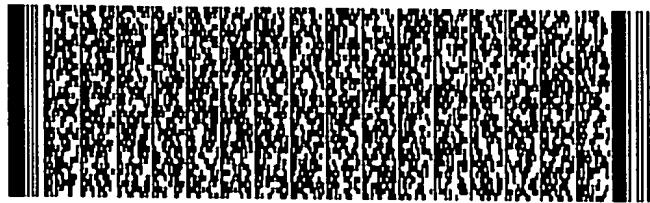
一第二電子元件，更包括：

一第四承載面，與該第三承載面互相鄰貼，且該第四承載面周圍部分，整圈裸露且環繞於該第一承載面周圍；

複數引腳，位於該第四承載面周圍且相對於該打線墊及該共面打線墊；以及

複數金屬線，以所傳遞之信號至少可區分為一信號線以及複數接地線；

其中，該信號線電性連接該打線墊及該些引腳中與該打線墊相對之其一，該些接地線電性連接該共



## 六、申請專利範圍

面打線墊及與該些接地線於該共面打線墊上位置相對之該線狀打線墊及該些引腳，且依據該信號線與該些接地線分別位於該打線墊與該共面打線墊上之位置至少可分為一第一列以及一第二列，該第一列接近該線狀打線墊，該第二列則較第一列遠離該線狀打線墊，且該第一列上之該些接地線電性連接該線狀打線墊。

21. 如申請專利範圍第20項所述之高頻積體電路多排線打線結構，其中該信號線與該些接地線為交錯排列。
22. 如申請專利範圍第21項所述之高頻積體電路多排線打線結構，其中該共面打線墊為一凸字底邊中陷有一凹口之形狀，且該凹口背對於該線狀打線墊，且該凹口環繞該打線墊。
23. 如申請專利範圍第22項所述之高頻積體電路多排線打線結構，其中該共面打線墊凸起區域等距設置有兩接地線。
24. 如申請專利範圍第23項所述之高頻積體電路多排線打線結構，其中該共面打線墊凸起區域之兩接地線電性連接與其位置相對之該線狀打線墊。
25. 如申請專利範圍第24項所述之高頻積體電路多排線打線結構，其中該凹口兩側分別等距設置有兩接地線，共四接地線。
26. 如申請專利範圍第25項所述之高頻積體電路多排線打線結構，其中該且該凹口兩側且接近該凹口中心之兩



## 六、申請專利範圍

接地線電性連接與其位置相對之該線狀打線墊。

27. 如申請專利範圍第26項所述之高頻積體電路多排線打線結構，其中該凹口兩側之另兩接地線電性連接與其位置相對之該些引腳。
28. 如申請專利範圍第20項所述之高頻積體電路多排線打線結構，其中該共面打線墊具有一凹口且該凹口面對該些引腳。
29. 如申請專利範圍第28項所述之高頻積體電路多排線打線結構，其中該凹口兩側分別設置有一接地線，共兩接地線。
30. 如申請專利範圍第29項所述之高頻積體電路多排線打線結構，其中該凹口兩側之兩接地線電性連接與其位置相對之該線狀打線墊。
31. 如申請專利範圍第30項所述之高頻積體電路多排線打線結構，其中該凹口底邊等距設置有四接地線。
32. 如申請專利範圍第31項所述之高頻積體電路多排線打線結構，其中該凹口底邊接近凹口中心之兩接地線電性連接與其位置相對之該線狀打線墊。
33. 如申請專利範圍第32項所述之高頻積體電路多排線打線結構，其中該凹口底邊接近凹口兩側之兩接地線電性連接與其位置相對之該些引腳。
34. 如申請專利範圍第33項所述之高頻積體電路多排線打線結構，其中該信號線與該接地線為相互交錯排列。
35. 如申請專利範圍第20項所述之高頻積體電路多排線打



## 六、申請專利範圍

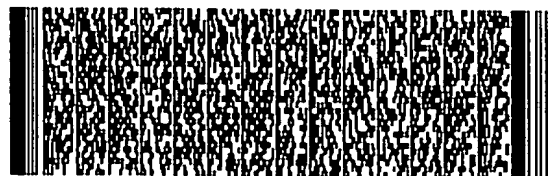
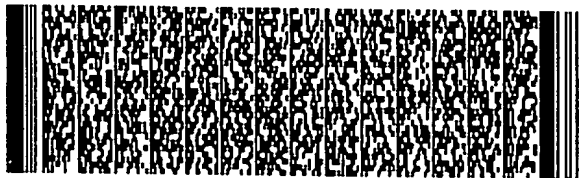
線結構，其中該凹口底邊以凹口中心為準等距設置有兩接地線。

36. 如申請專利範圍第35項所述之高頻積體電路多排線打線結構，其中該凹口底邊之兩接地線電性連接與其位置相對之該些引腳。

37. 一種高頻體電路多排線打線佈局方法，適用於至少以一信號線及複數接地線電性連接一電子元件與一第二電子元件，該第一電子元件以一晶片墊貼於該第二電子元件之上，該第一電子元件、該晶片墊及該第二電子元件疊合處形成一階梯狀，該第一電子元件上相對於該晶片墊另一測之表面周圍上設置有一打線墊以及環繞該打線墊之一共面打線墊，該晶片墊面對且整圈裸露於該第一電子元件外側之部分形成一線狀打線墊，該第二電子元件面對該晶片墊且整圈裸露於該晶片墊外側之周圍，相對於該打線墊與該共面打線墊之位置上設置有複數引腳，依據該信號線及該些接地線分別位於該打線墊與該共面打線墊上之位置，至少可分為一第一列以及一第二列，該第一列接近該線狀打線墊，該第二列則較第一列遠離該線狀打線墊，該方法包括：

將該信號線以正打線方式起始於該打線墊並截斷該些引腳中與該打線墊相對之其一；

將部分該些接地線以正打線方式起始於該共面打線墊上屬於該第一列位置並截斷於與其位置相對之該線



## 六、申請專利範圍

狀打線墊；以及

將部分該些接地線以正打線方式起始於該共面打線墊上屬於該第二列位置並截斷於與其位置相對之該些引腳及該線狀打線墊。

38. 如申請專利範圍第37項所述之高頻積體電路多排線打線佈局方法，其中將該信號線與該些接地線間互相交錯排列。

39. 一種高頻積體電路多排線打線結構，包括有：  
至少一高頻信號打線墊在晶片端；  
至少一接地信號共面打線墊在晶片端且包圍高頻信號打線墊；

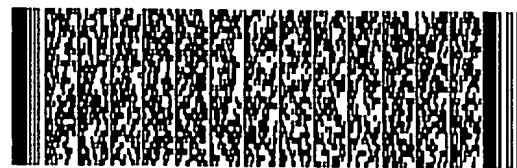
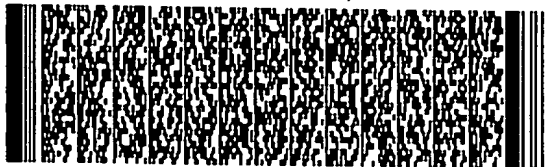
複數個打線墊於封裝體端；以及

至少一接地面；

其中，高頻信號打線墊自晶片端以正打線方式連接至封裝體端的打線墊，而與高頻信號迴路相鄰具有至少第一組接地迴路以及第二組接地迴路，共四接地迴路，且第一組接地迴路較第二組接地迴路接近高頻信號迴路。

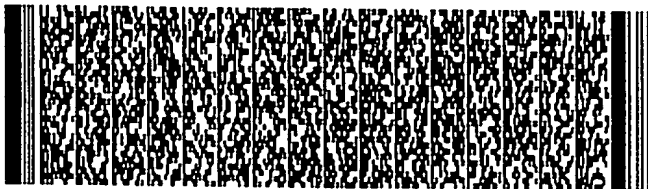
40. 如申請專利範圍第39項所述之高頻積體電路多排線打線結構，其中第一組兩接地迴路一端位於接地信號共面打線墊上第一列，第二組兩接地迴路一端位於接地信號公面打線墊上第二列，而第一列接近接地面，第二列則較第一列遠離接地面。

41. 如申請專利範圍第40項所述之高頻積體電路多排線打



## 六、申請專利範圍

- 線結構，其中第一組兩接地迴路自接地面以反打線方式連接至接地信號共面打線墊上第一列。
42. 如申請專利範圍第41項所述之高頻積體電路多排線打線結構，其中第二組兩接地迴路自共面打線墊上第二列以正打線方式連接至封裝體端打線墊。
43. 如申請專利範圍第41項所述之高頻積體電路多排線打線結構，其中第二組兩接地迴路自接地面以反打線方式連接至接地信號共面打線墊上第二列。
44. 如申請專利範圍第43述之高頻積體電路多排線打線結構，其中第一組接地迴路與第二組接地迴路於高頻迴路兩側交錯排列。
45. 如申請專利範圍第44所述之高頻積體電路多排線打線結構，其中更包括第三組接地迴路，共兩接地迴路與高頻信號迴路相鄰，且第三組接地迴路較第二組接地迴路遠離高頻信號迴路。
46. 如申請專利範圍第45所述之高頻積體電路多排線打線結構，其中第三組兩接地迴路一端位於接地信號共面打線墊上第二列。
47. 請專利範圍第46所述之高頻積體電路多排線打線結構，其中第三組兩接地迴路自共面打線墊上第二列以正打線方式連接至封裝體端打線墊。
48. 如申請專利範圍第47述之高頻積體電路多排線打線結構，其中該接地信號共面打線墊為凸字底邊中陷有凹口之形狀，且凹口背對於接地面，且凹口環繞高頻信



## 六、申請專利範圍

號打線墊。

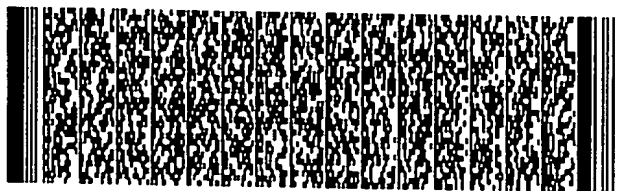
49. 如申請專利範圍第48項所述之高頻積體電路多排線打線結構，其中第一組兩接地迴路一端等距設置於接地信號共面打線墊。
50. 如申請專利範圍第49項所述之高頻積體電路多排線打線結構，其中第二組兩接地迴路一端相對設置於凹口兩側。
51. 如申請專利範圍第50項所述之高頻積體電路多排線打線結構，其中第三組兩接地迴路一端相對設置於凹口兩側，且第三組兩接地迴路一端與第二組兩接地迴路一端等距設置於凹口兩側。
52. 如申請專利範圍第47項所述之高頻積體電路多排線打線結構，其中接地信號共面打線墊具有凹口且凹口面對接地面。
53. 如申請專利範圍第52項所述之高頻積體電路多排線打線結構，其中第一組兩接地迴路相對設置於凹口兩側。
54. 如申請專利範圍第53項所述之高頻積體電路多排線打線結構，其中第二組兩接地迴路與第三組兩接地迴路等距設置於凹口底邊。
55. 如申請專利範圍第42項所述之高頻積體電路多排線打線結構，其中接地信號共面打線墊具有凹口且凹口面對接地面。
56. 如申請專利範圍第55項所述之高頻積體電路多排線打



## 六、申請專利範圍

線結構，其中第一組兩接地迴路相對設置於凹口兩側。

57. 如申請專利範圍第56項所述之高頻積體電路多排線打線結構，其中第二組接地迴路等距設置於凹口底邊。
58. 如申請專利範圍第56項所述之高頻積體電路多排線打線結構，其中第一組接地迴路與第二組接地迴路於高頻迴路兩側交錯排列。
59. 一種高頻積體電路多排打線結構，包含有：  
複數個鉑墊在晶片端，其中一高頻信號的打線墊係被接地的打線墊包圍；  
複數個打線引腳於封裝體端；  
至少一接地面；  
其中該高頻信號的打線，被複數個分別打線至接地引腳與接地面之接地線所包圍。
60. 如申請專利範圍第59項所述之高頻積體電路多排線打線結構，其中所述複數個打線至與接地面的打線是兩條。
61. 如申請專利範圍第59項所述之高頻積體電路多排線打線結構，其中所述複數個打線至與接地面的打線是四條。

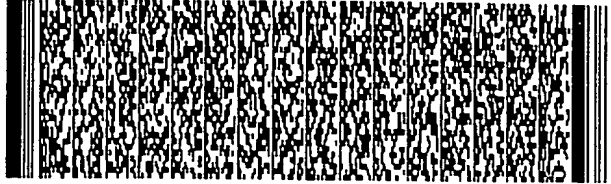




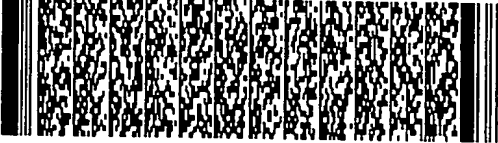
第 1/30 頁



第 2/30 頁



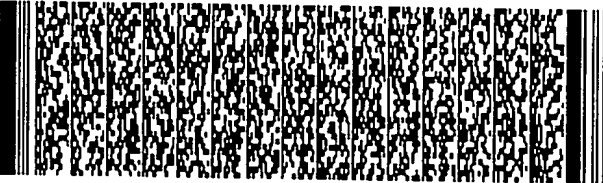
第 3/30 頁



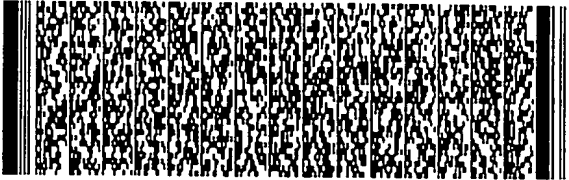
第 4/30 頁



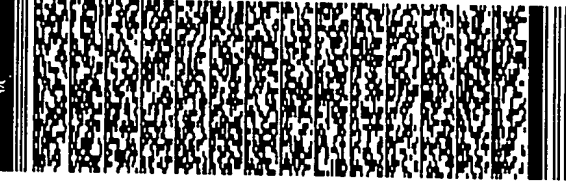
第 5/30 頁



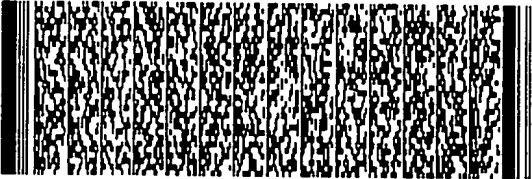
第 5/30 頁



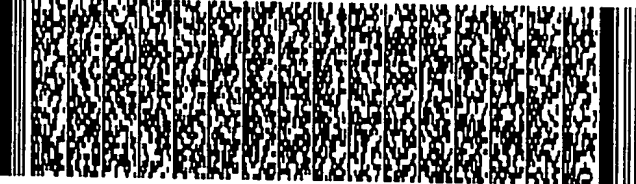
第 6/30 頁



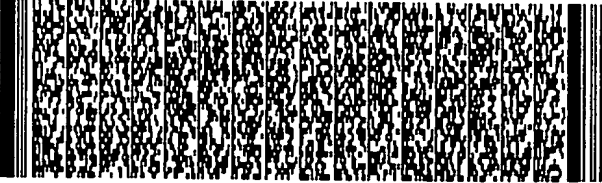
第 6/30 頁



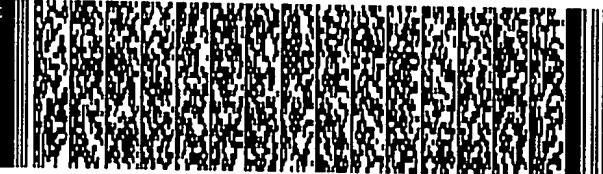
第 7/30 頁



第 7/30 頁



第 8/30 頁



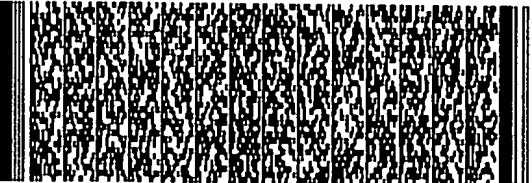
第 8/30 頁



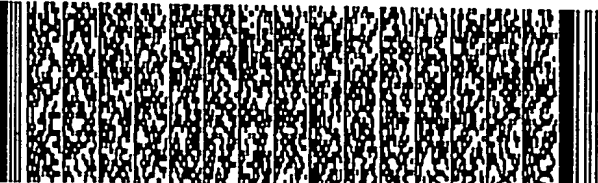
第 9/30 頁



第 9/30 頁



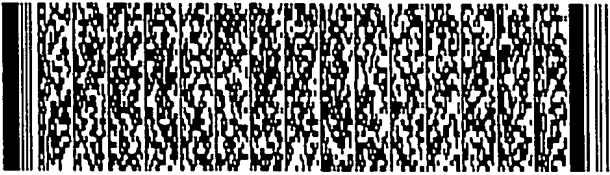
第 10/30 頁



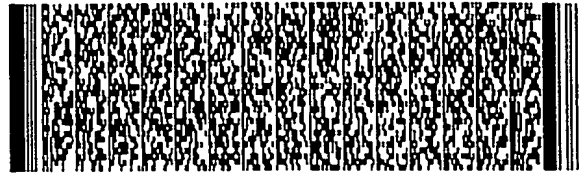
第 10/30 頁



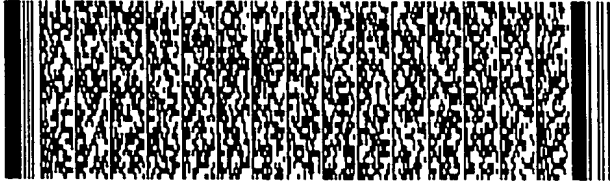
第 11/30 頁



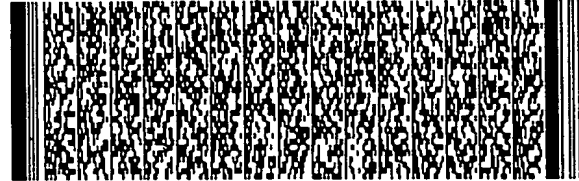
第 11/30 頁



第 12/30 頁



第 12/30 頁



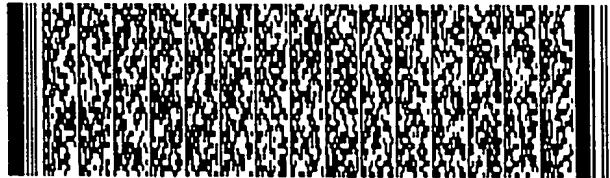
第 13/30 頁



第 13/30 頁



第 14/30 頁



第 14/30 頁



第 15/30 頁



第 15/30 頁



第 16/30 頁



第 16/30 頁



第 17/30 頁



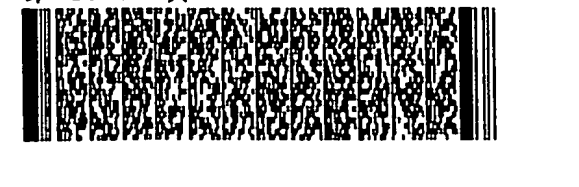
第 17/30 頁



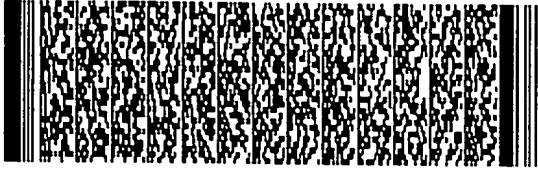
第 18/30 頁



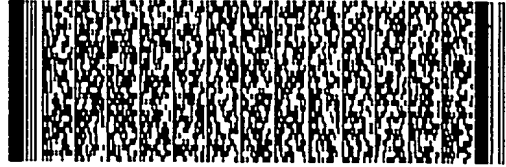
第 19/30 頁



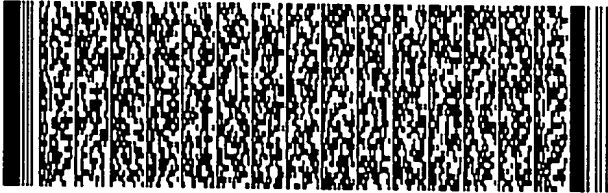
第 20/30 頁



第 20/30 頁



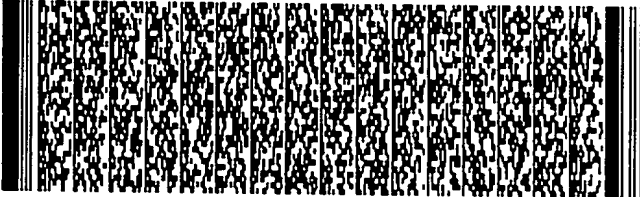
第 21/30 頁



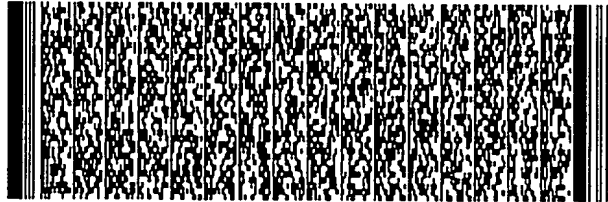
第 22/30 頁



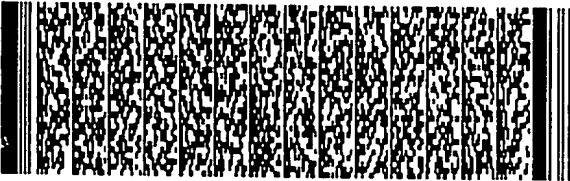
第 23/30 頁



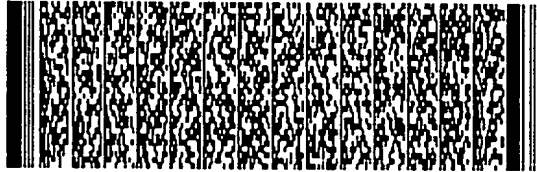
第 24/30 頁



第 25/30 頁



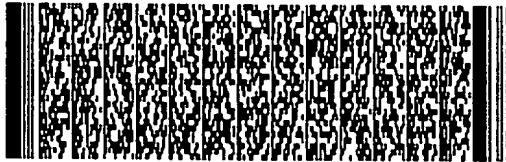
第 26/30 頁



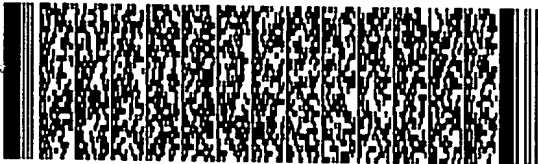
第 26/30 頁



第 27/30 頁



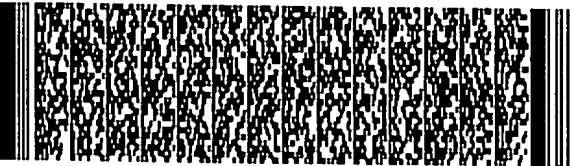
第 27/30 頁



第 28/30 頁

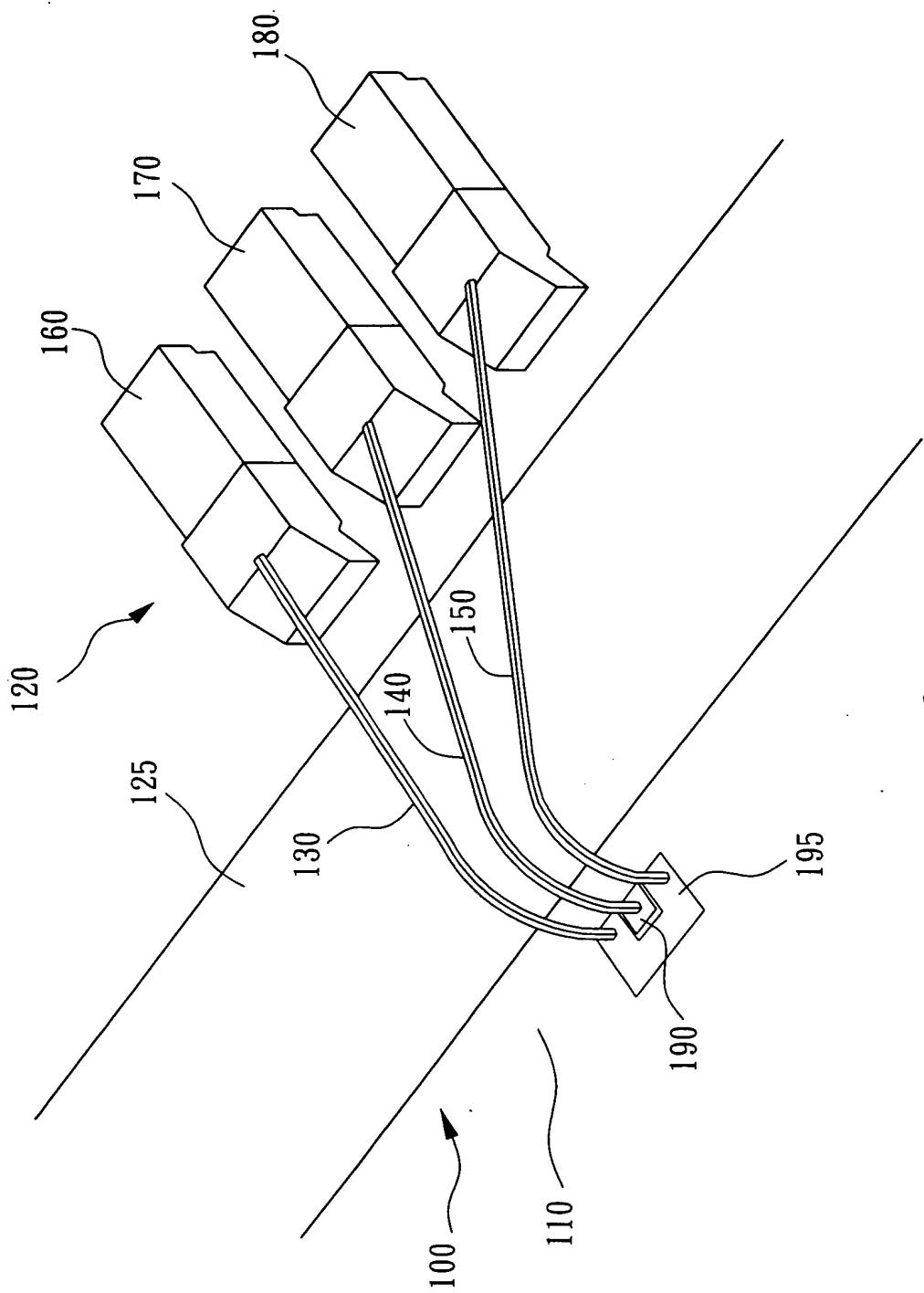


第 29/30 頁

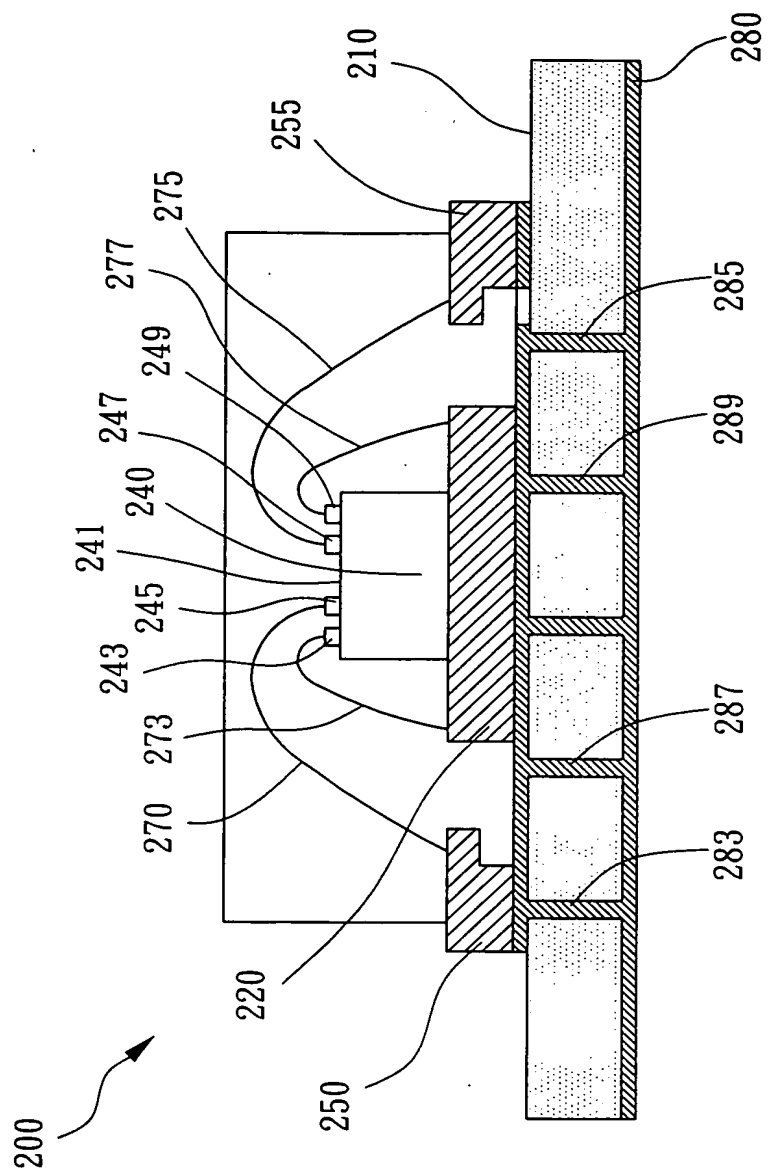


第 30/30 頁

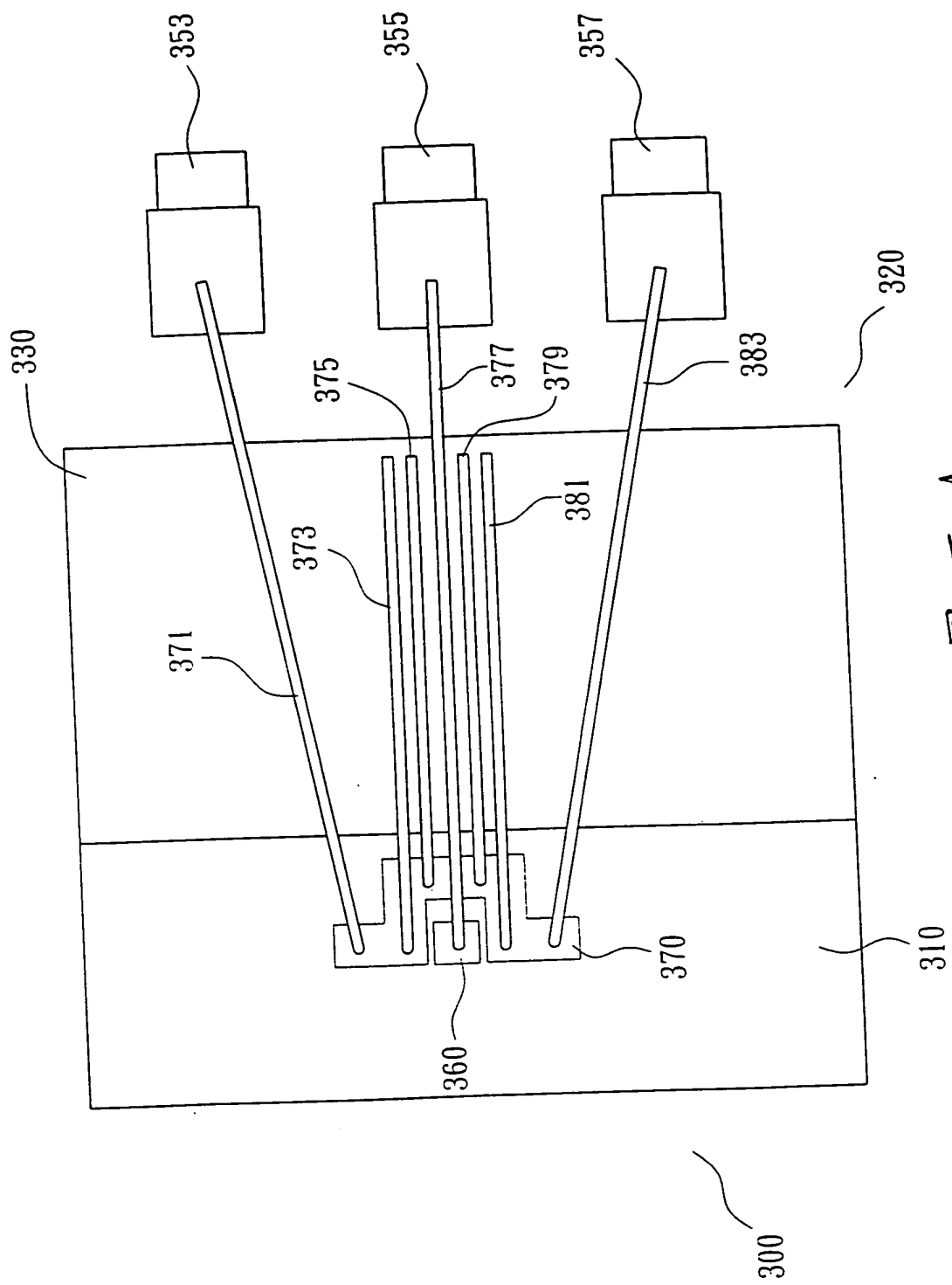




圖一



二



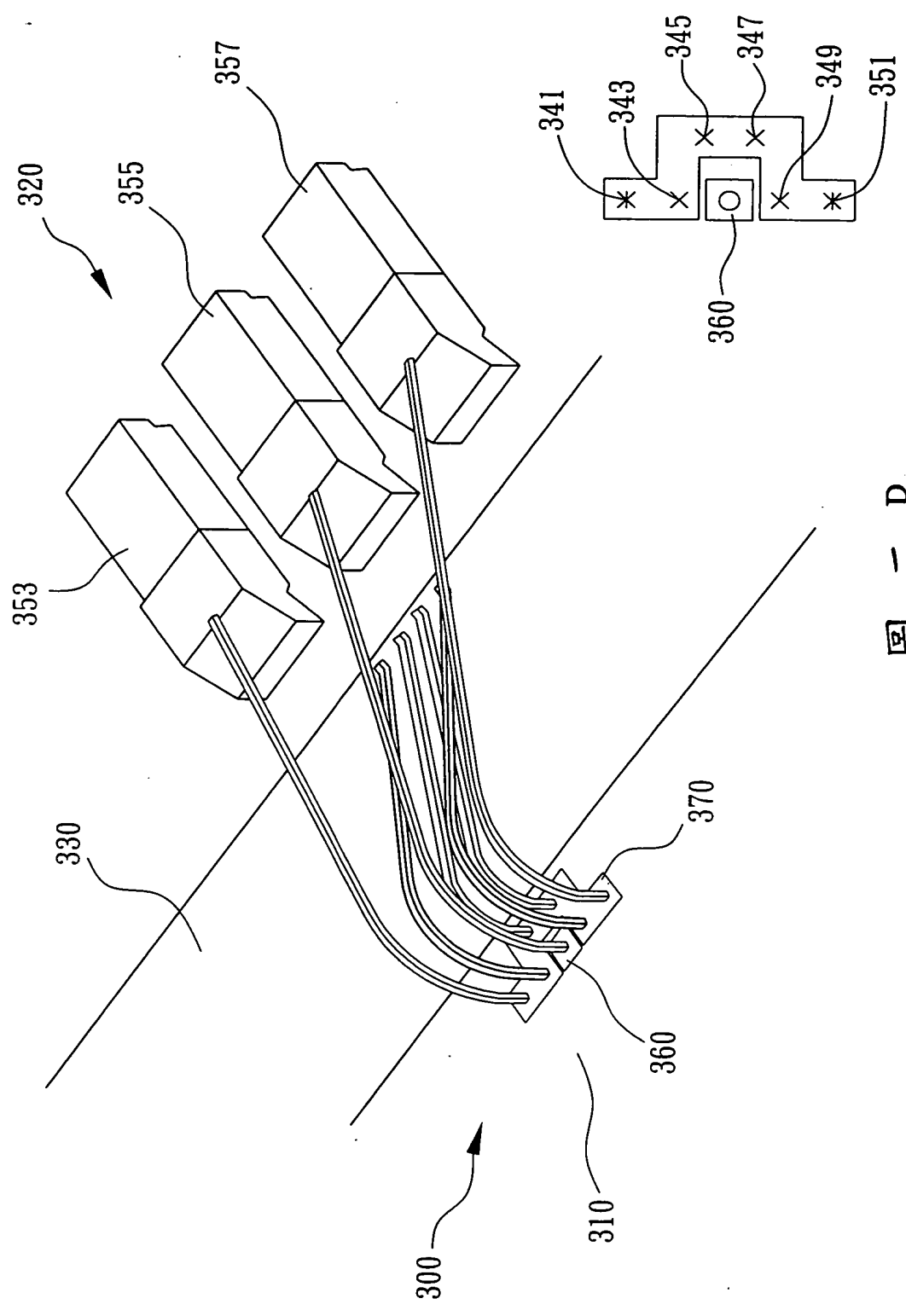
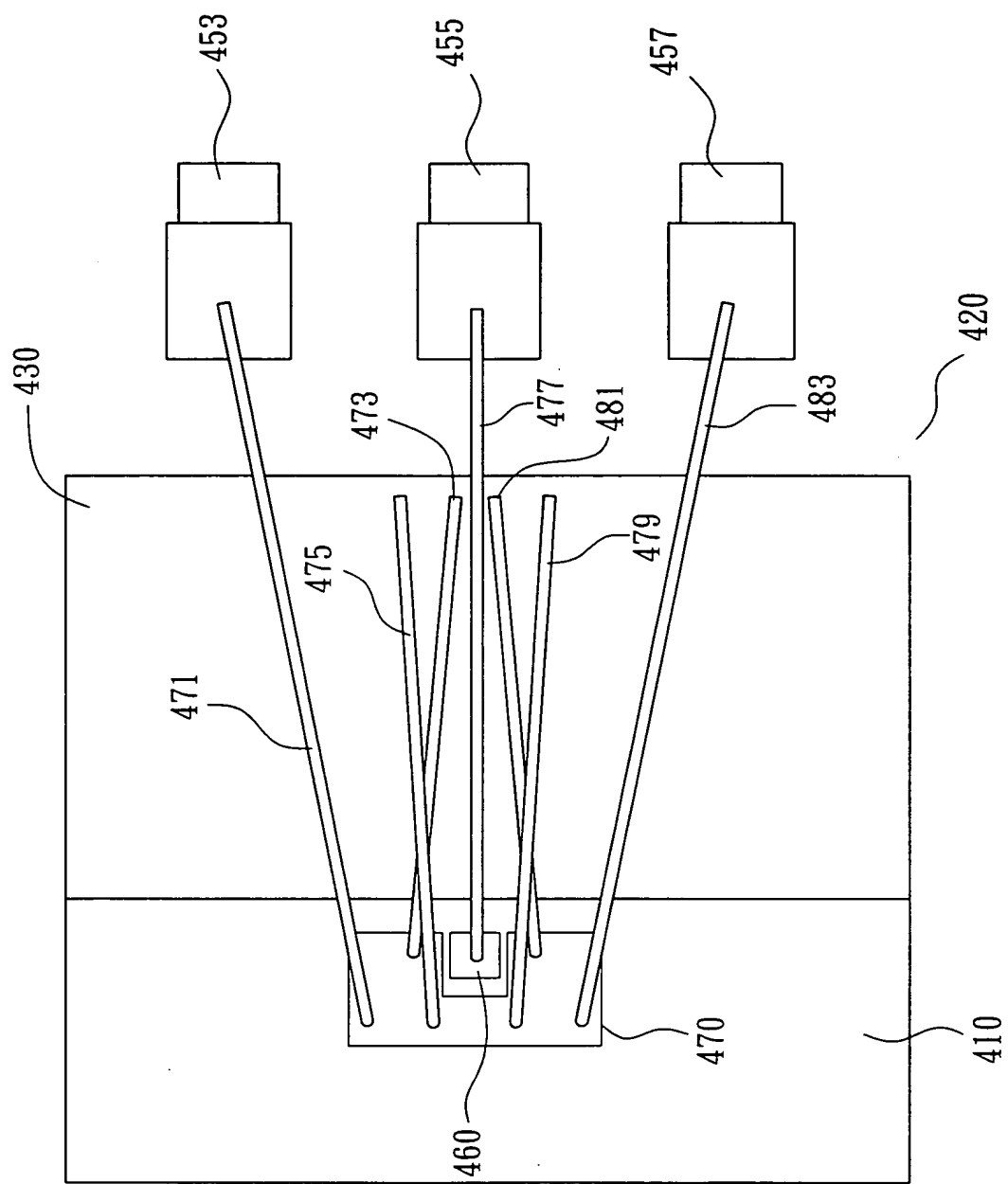


圖 三 B



A 四 回



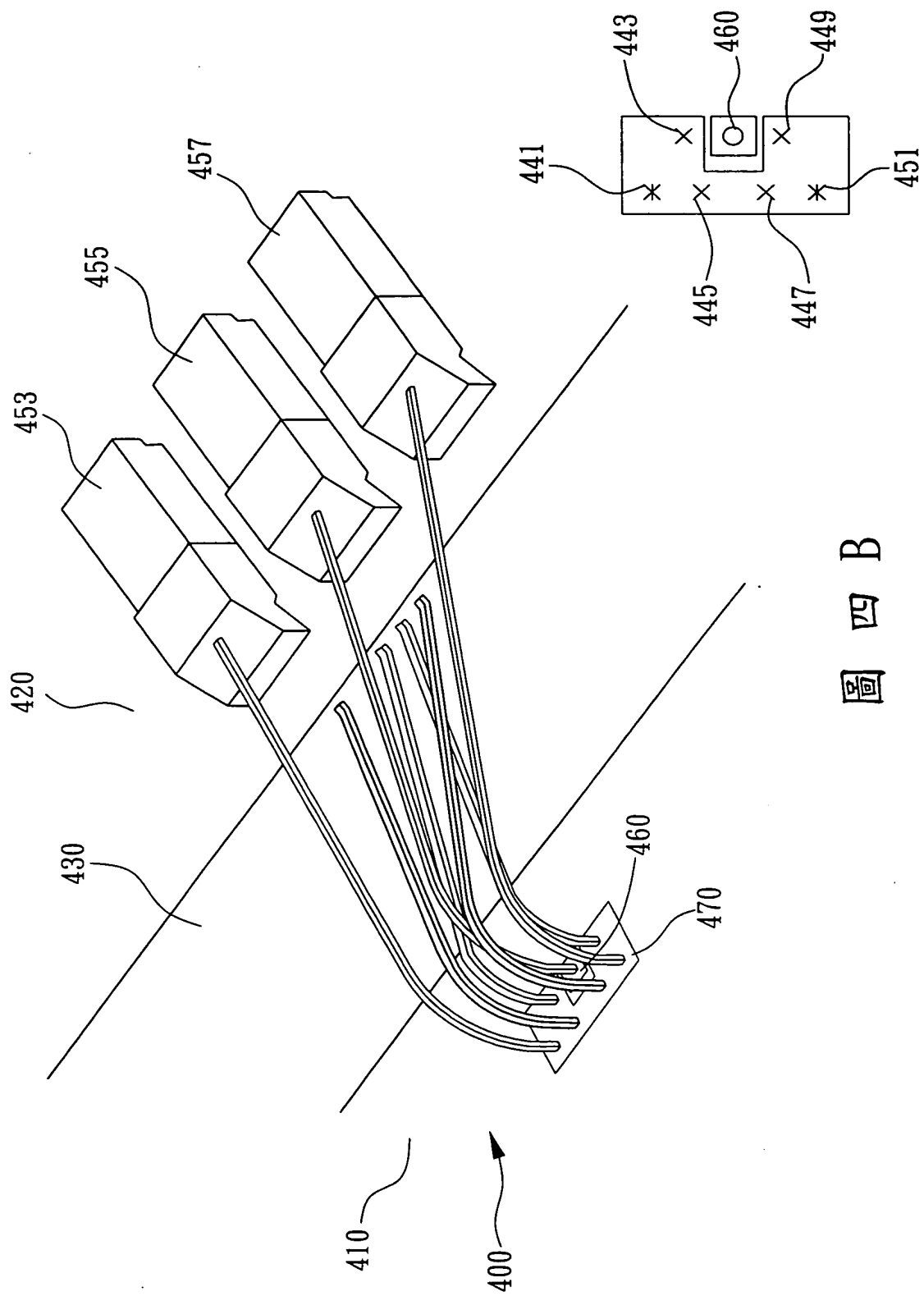


圖 四 B

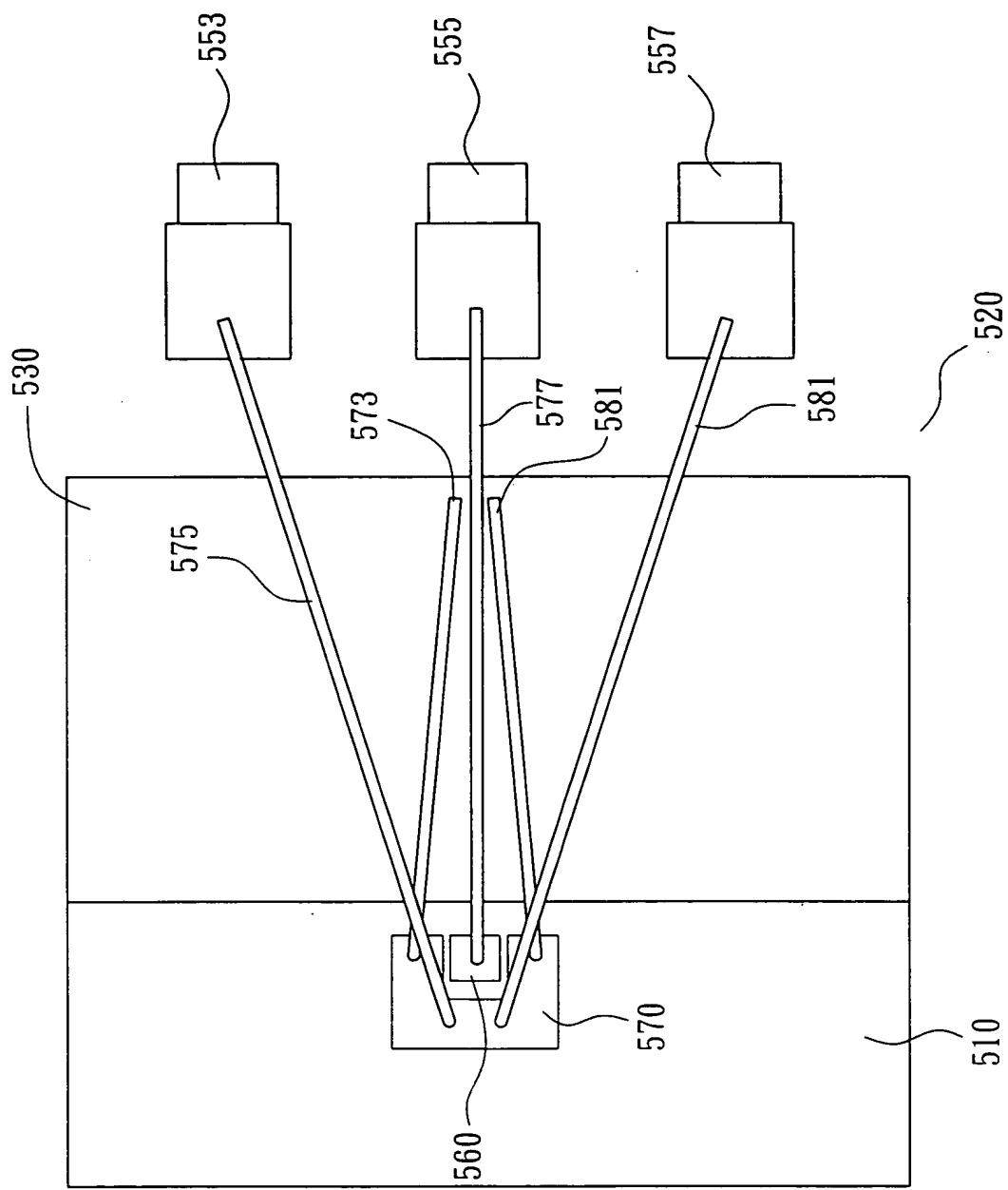


圖 五 A

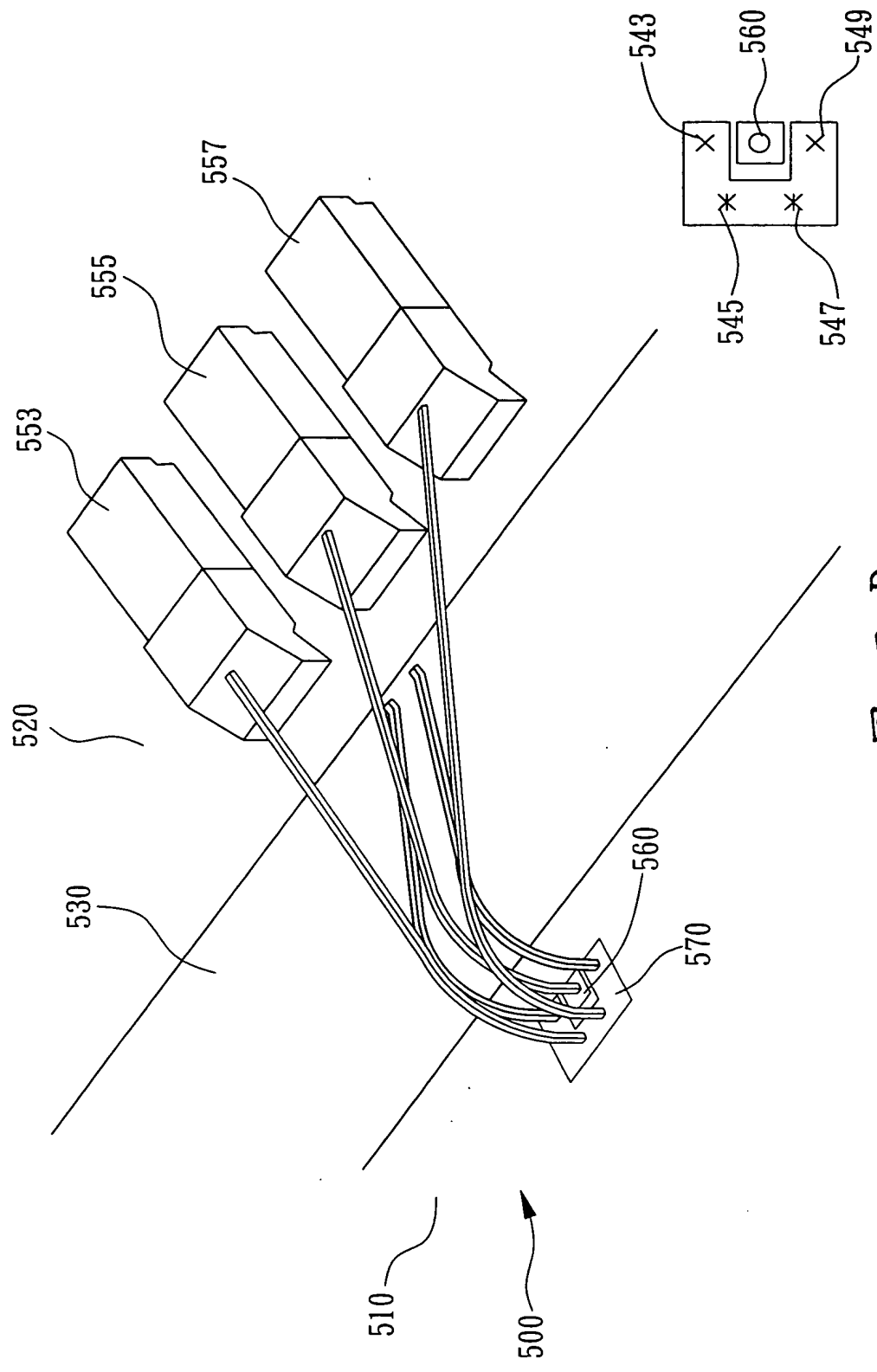
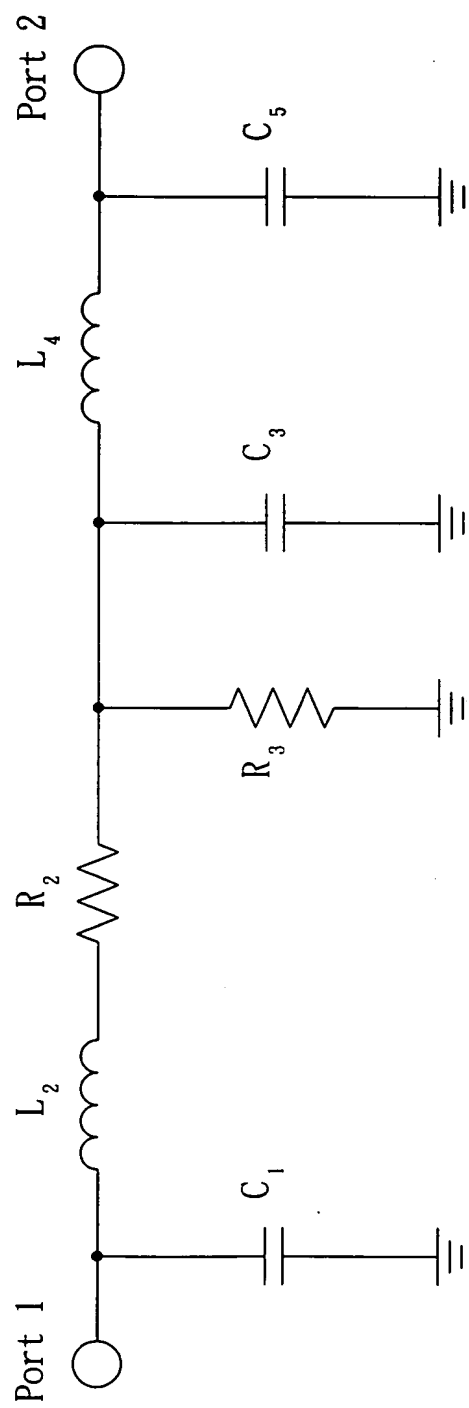


圖 五 B



圖六

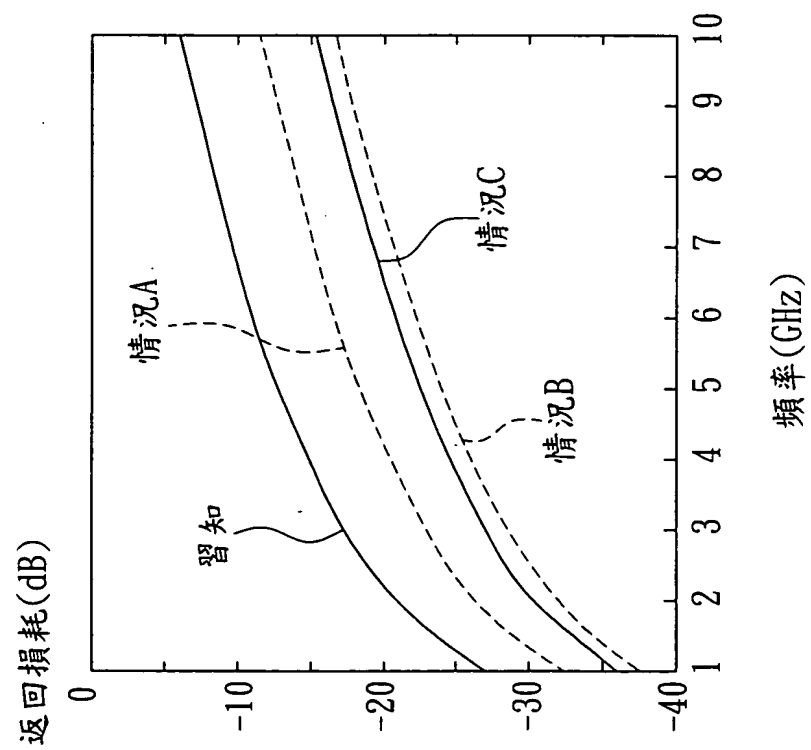


圖 七 A

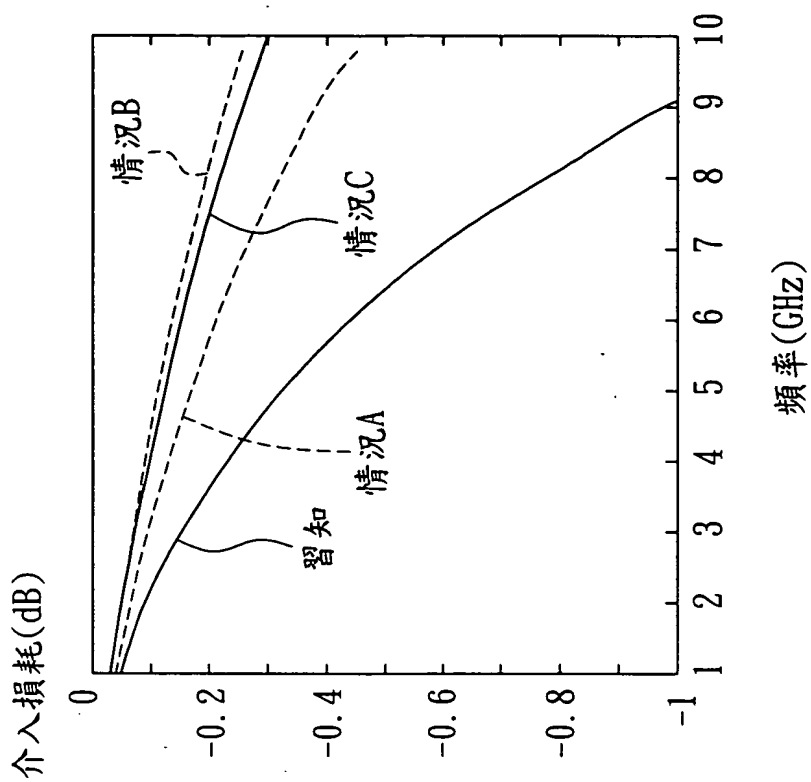
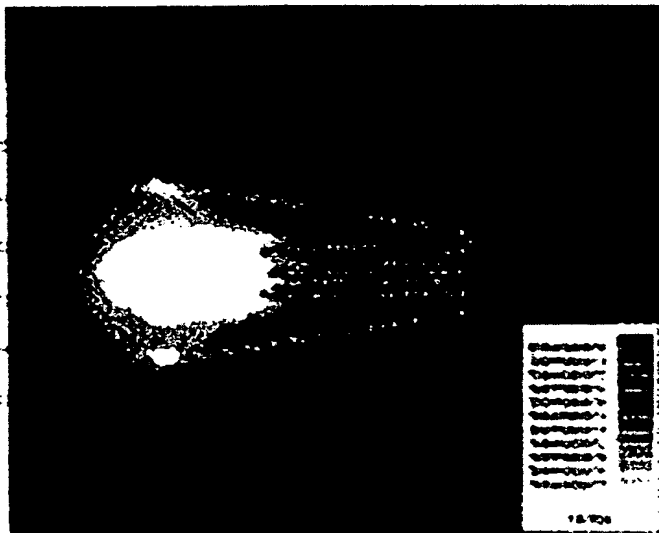


圖 七 B



(先前技術)

圖 8 A

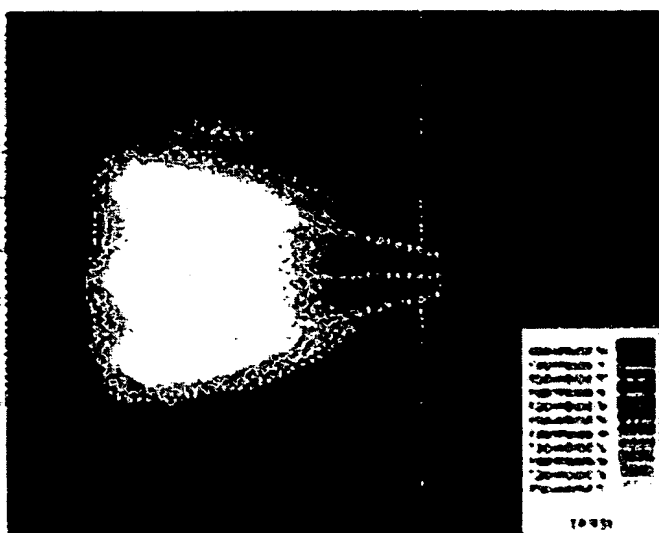


圖 8 B

圖 2 D

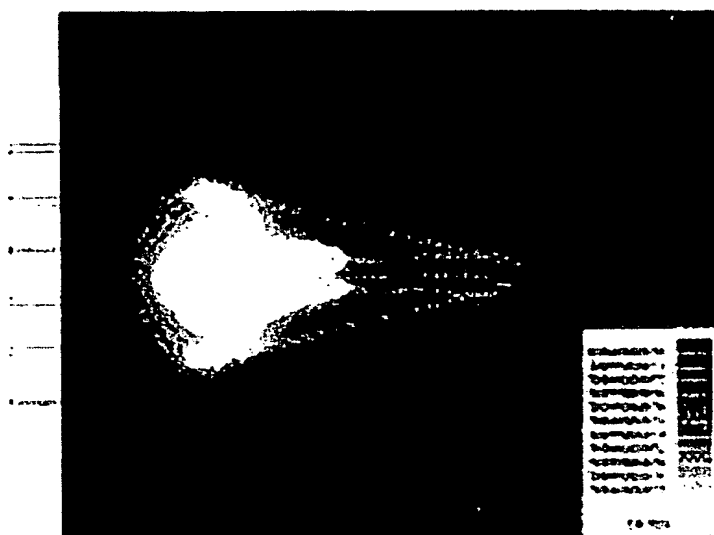
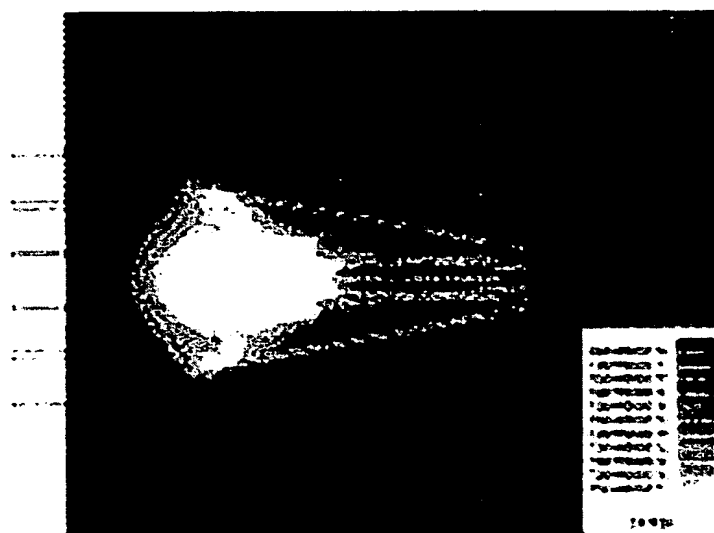


圖 2 C



	圖六中各元件之等效值	近似值 $L_{total} \approx C_{total}$
習知	$C_1=0.114 \text{ pF}$ , $C_3=0.257 \text{ pF}$ , $C_5=0.036 \text{ pF}$ , $L_2=1.325 \text{ nH}$ , $L_4=0.385 \text{ nH}$ , $R_2=0.400 \Omega$ , $R_3=13.239 \text{ K}\Omega$	$C_{total} \approx 0.407 \text{ pF}$ , $L_{total} \approx 1.710 \text{ nH}$
情況A	$C_1=0.122 \text{ pF}$ , $C_3=0.240 \text{ pF}$ , $C_5=0.078 \text{ pF}$ , $L_2=0.919 \text{ nH}$ , $L_4=0.551 \text{ nH}$ , $R_2=0.445 \Omega$ , $R_3=10.213 \text{ K}\Omega$	$C_{total} \approx 0.440 \text{ pF}$ , $L_{total} \approx 1.470 \text{ nH}$
情況B	$C_1=0.115 \text{ pF}$ , $C_3=0.245 \text{ pF}$ , $C_5=0.077 \text{ pF}$ , $L_2=0.757 \text{ nH}$ , $L_4=0.529 \text{ nH}$ , $R_2=0.333 \Omega$ , $R_3=17.998 \text{ K}\Omega$	$C_{total} \approx 0.437 \text{ pF}$ , $L_{total} \approx 1.286 \text{ nH}$
情況C	$C_1=0.115 \text{ pF}$ , $C_3=0.243 \text{ pF}$ , $C_5=0.076 \text{ pF}$ , $L_2=0.788 \text{ nH}$ , $L_4=0.524 \text{ nH}$ , $R_2=0.372 \Omega$ , $R_3=14.614 \text{ K}\Omega$	$C_{total} \approx 0.434 \text{ pF}$ , $L_{total} \approx 1.312 \text{ nH}$

表 一



	2.5 GHz		5 GHz		10 GHz	
	返回損耗(dB)	介入損耗(dB)	返回損耗(dB)	介入損耗(dB)	返回損耗(dB)	介入損耗(dB)
習知	-19.37	-0.12	-13.42	-0.32	-6.86	-1.23
情況A	-24.71	-0.08	-18.80	-0.16	-12.29	-0.45
情況B	-30.10	-0.07	-24.17	-0.12	-17.01	-0.26
情況C	-28.79	-0.07	-22.85	-0.12	-15.78	-0.29

表 二